

Method of fabricating a dual damascene structure

Patent number: TW577145
Publication date: 2004-02-21
Inventor: CHEN HSUEH-CHUNG (TW); TSAI TENG-CHUN (TW); HUANG YI-MIN (TW)
Applicant: UNITED MICROELECTRONICS CORP (TW)
Classification:
- **International:** H01L21/768
- **European:**
Application number: TW20030102070 20030129
Priority number(s): TW20030102070 20030129

[Report a data error here](#)

Abstract of TW577145

A first dielectric layer, a second dielectric layer, a first hard mask, and a second hard mask are formed, in order, on a semiconductor wafer. A first photoresist layer with patterns of a trench is formed on the second hard mask. An exposed region of the second hard mask is then removed down to the surface of the first hard mask. A second photoresist layer with patterns of a via hole is formed on the semiconductor wafer. Exposed regions of both the first hard mask and the second dielectric layer are removed down to the surface of the first dielectric layer. After removing the second photoresist layer, exposed regions of the first hard mask are removed, exposed regions of the second dielectric layer are then removed down to a predetermined depth, and the whole second hard mask and exposed regions of the first dielectric layer are also removed.

Data supplied from the **esp@cenet** database - Worldwide

BEST AVAILABLE COPY

公告本

第 93128579 號
初審引証附件

申請日期：92

IPC分類

申請案號：92102070

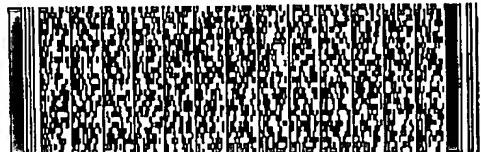
H11-21/168

(以上各欄由本局填註)

發明專利說明書

577145

一 發明名稱	中文	一種製作雙鑄嵌結構的方法
	英文	METHOD OF FABRICATING A DUAL DAMASCENE STRUCTURE
二 發明人 (共3人)	姓名 (中文)	1. 陳學忠 2. 蔡騰群
	姓名 (英文)	1. Chen, Hsueh-Chung 2. Tsai, Teng-Chun
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 台北縣永和市中正路一九0巷二號四樓 2. 新竹市金竹路一0二巷十一號二樓
	住居所 (英 文)	1. 4F, No. 2, Lane 190, Chung-Cheng Rd., Yungho City, Taipei Hsien, Taiwan, R.O.C. 2. 2F, No. 11, Lane 102, Chin Chu Rd., Hsin-Chu City, Taiwan, R.O.C.
三 申請人 (共1人)	名稱或 姓名 (中文)	1. 聯華電子股份有限公司
	名稱或 姓名 (英文)	1. UNITED MICROELECTRONICS CORP.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區新竹市力行二路三號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 3, Li-Hsin Road 2, Science-Based Industrial Park, Hsin-Chu City, Taiwan, R.O.C.
	代表人 (中文)	1. 曹興誠
	代表人 (英文)	1. Tsao, Hsing-Cheng

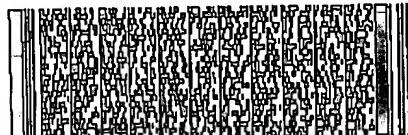


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共3人)	姓名 (中文)	3. 黃益民
	姓名 (英文)	3. Huang, Yi-min
	國籍 (中英文)	3. 中華民國 TW
	住居所 (中 文)	3. 台中縣清水鎮甲南路六十一號
	住居所 (英 文)	3. No. 61, Chia-Nan Rd., Ching-Shui Town, Taichung Hsien, Taiwan, R. O. C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	

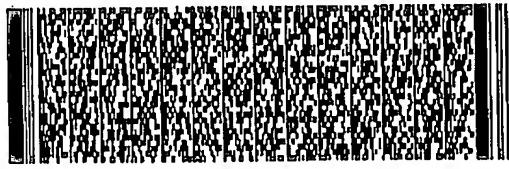


四、中文發明摘要 (發明名稱：一種製作雙鑲嵌結構的方法)

代表圖 (一)、本案代表圖為：第 10 圖

六、英文發明摘要 (發明名稱：METHOD OF FABRICATING A DUAL DAMASCENE STRUCTURE)

A first dielectric layer, a second dielectric layer, a first hard mask, and a second hard mask are formed, in order, on a semiconductor wafer. A first photoresist layer with patterns of a trench is formed on the second hard mask. An exposed region of the second hard mask is then removed down to the surface of the first hard mask. A second photoresist layer with patterns of a via



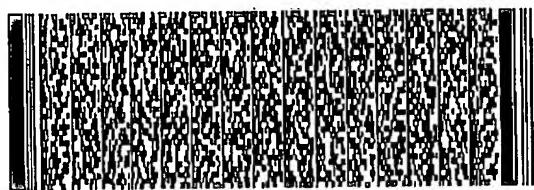
四、中文發明摘要 (發明名稱：一種製作雙鑲嵌結構的方法)

(二)、本案代表圖之元件代表符號簡單說明

40	半導體基底	42、48、50	介電層
44、72	導電層	46	保護層
52	停止層	54	硬罩幕層
66	上層溝槽	68	下層接觸洞
70	障礙層		

六、英文發明摘要 (發明名稱：METHOD OF FABRICATING A DUAL DAMASCENE STRUCTURE)

hole is formed on the semiconductor wafer. Exposed regions of both the first hard mask and the second dielectric layer are removed down to the surface of the first dielectric layer. After removing the second photoresist layer, exposed regions of the first hard mask are removed, exposed regions of the second dielectric layer are then removed down to a predetermined depth,



四、中文發明摘要 (發明名稱：一種製作雙鑲嵌結構的方法)

(二)、本案代表圖之元件代表符號簡單說明

40	半導體基底	42、48、50	介電層
44、72	導電層	46	保護層
52	停止層	54	硬罩幕層
66	上層溝槽	68	下層接觸洞
70	障礙層		

六、英文發明摘要 (發明名稱：METHOD OF FABRICATING A DUAL DAMASCENE STRUCTURE)

hole is formed on the semiconductor wafer. Exposed regions of both the first hard mask and the second dielectric layer are removed down to the surface of the first dielectric layer. After removing the second photoresist layer, exposed regions of the first hard mask are removed, exposed regions of the second dielectric layer are then removed down to a predetermined depth,



四、中文發明摘要 (發明名稱：一種製作雙鑄嵌結構的方法)

六、英文發明摘要 (發明名稱：METHOD OF FABRICATING A DUAL DAMASCENE STRUCTURE)

and the whole second hard mask and exposed regions of the first dielectric layer are also removed.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

無

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。

五、發明說明 (1)

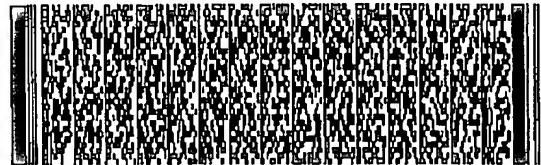
發明所屬之技術領域

本發明係提供一種製作雙鑲嵌結構 (dual damascene structure)的方法，尤指一種可以應用於超低介電常數 (ultra-low-k)材料之雙鑲嵌結構的製作方法。

先前技術

雙鑲嵌製程是一種能同時形成一金屬導線以及一插塞 (plug)之上下堆疊結構的方法，以用來連接半導體晶片中各層間的不同元件與導線，並利用其周圍的內層介電材料 (inter-layer dielectrics)與其他元件相隔離。因此隨著積體電路的發展日趨精密與複雜，如何提昇雙鑲嵌結構的良率，是目前積體電路製程中重要的課題。

請參考圖一至圖四，圖一至圖四為習知於一半導體基底 10上製作一雙鑲嵌結構的方法示意圖。如圖一所示，半導體基底 10上包含有一介電層 12，以及一導電層 14設於介電層 12中。習知之雙鑲嵌製程是先於半導體基底 10上依序形成一保護層 (cap layer)16、一介電層 18、一停止層 20以及一介電層 22。其中介電層 12係由二氧化矽所形成，用來作為導電層 14與其他電子元件之間的隔離，導電層 14係為一銅導線，用來電連接至 MOS電晶體或作為多重金屬間的內連線，而保護層 16與停止層 20均係



五、發明說明 (2)

由氮化矽構成，用來保護其下方結構免於受到蝕刻損害，至於介電層 18與介電層 22則係由旋轉塗佈 (spin-on-coating)之低介電常數 (low-k)材料，例如 HSQ 或 FLARETM所構成，是形成雙鑲嵌結構之主要結構。

在形成上述之堆疊結構之後，仍然如圖一所示，接著再於介電層 22表面形成一硬罩幕層 24，例如氮氧化矽 (silicon-oxy-nitride)層。隨後進行一第一黃光 (lithography)製程，以於硬罩幕層 24上方形成一光阻層 26，並於光阻層 26中形成一通達至硬罩幕層 24表面之開口 27，用來定義雙鑲嵌結構之上層溝槽 (trench)的圖案。

如圖二所示，然後進行一第一蝕刻製程，依照光阻層 26之圖案沿著開口 27向下蝕刻，以將上層溝槽之圖案轉移至硬罩幕層 24中，並於硬罩幕層 24中形成一開口 28。在去除光阻層 26之後，接著進行一第二黃光製程，於半導體基底 10表面形成另一光阻層 30，並於光阻層 30中形成一通達至介電層 22表面之開口 31，用來定義雙鑲嵌結構之下層接觸洞的圖案。

如圖三所示，接著進行一第二蝕刻製程，依照光阻層 30之圖案沿著開口 31向下蝕刻介電層 22、停止層 20以及介電層 18，直至保護層 16的表面，以形成一貫穿介電

五、發明說明 (3)

層 22、停止層 20 以及介電層 18 之開口，作為下層接觸洞 32。去除光阻層 30 後，如圖四所示，接著再進行一第三蝕刻製程，利用硬罩幕層 24 作為蝕刻罩幕，向下去除介電層 22，並以停止層 20 作為一蝕刻終點 (end-point)，以形成一上層溝槽 34，完成習知之雙鑲嵌結構之製作。

由於在形成雙鑲嵌結構之後，便會於雙鑲嵌結構內填入導電層，以作為金屬間的內連線。而為了避免雙鑲嵌結構內之導電層與其他金屬層間產生電容效應，影響雙鑲嵌結構之電性表現，在目前的雙鑲嵌製程中多是使用有機低介電常數材料 (介電常數 $k < 3.0$)，例如芳香族熱固性聚合物 (aromatic thermosets polymers)，來形成介電層 18 和介電層 20，並藉由有機低介電常數材料中的碳含量 (carbon contains) 來降低介電層 18 和介電層 20 之介電常數。然而隨著有機低介電常數材料中的含碳量愈高，介電層 18 與介電層 20 的應力常數 (stress constant) 亦愈大，亦即當有機低介電常數材料中的含碳量愈高，則介電層 18 和介電層 20 之承受機械應力 (mechanical strength) 性質愈脆弱，尤其在利用超低介電常數 (即 $k < 2.5$) 材料來製作雙鑲嵌結構時，環繞在雙鑲嵌結構周圍之介電層 18、20 極容易在備製雙鑲嵌結構之過程中產生脆裂 (fragile) 情形，而引發漏電流等問題。

發明內容



五、發明說明 (4)

因此，本發明之目的即在提供一種可應用於超低介電常數材料之製作雙鑲嵌結構的方法，以強化雙鑲嵌結構，並進而改善雙鑲嵌結構的電性表現。



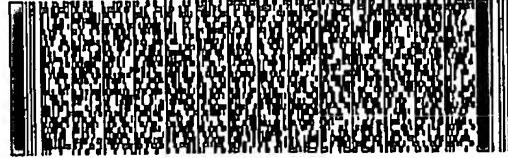
五、發明說明 (5)

成本發明之雙鑲嵌結構之製作。

由於本發明之下層接觸洞係貫穿部份之第二介電層以及第一介電層，而且由第二介電層以及第一介電層所構成之複合結構可以提供雙鑲嵌結構底部良好的支撐力，因此可以有效避免習知環繞在雙鑲嵌結構周圍之介電層產生脆裂的情形，以抑止漏電流等問題。

實施方式

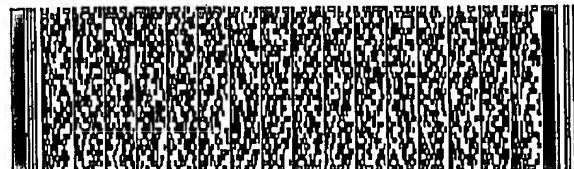
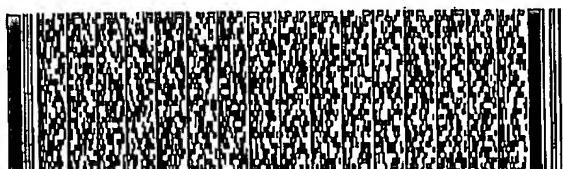
請參考圖五至圖十，圖五至圖十為本發明於一半導體基底 40 上製作一雙鑲嵌結構的方法示意圖。如圖五所示，半導體基底 40 上包含有一介電層 42，一導電層 44 設於介電層 42 中，且導電層 44 之表面係約略與介電層 42 相切齊。介電層 42 係由二氧化矽所形成，用來作為導電層 44 與其他電子元件之間的隔離，而導電層 44 係為一銅、鋁或鋁銅合金導線，其可電連接至 MOS 電晶體或作為多重金屬間的內連線。接下來依序於半導體基底 40 表面形成一保護層 46、一介電層 48 以及一介電層 50，覆蓋於導電層 44 以及介電層 42 上，且介電層 50 中更包含有一停止層 52。其中，保護層 46 與停止層 52 均係由氮化矽所構成，而其他較為緻密之材料亦可以用來製作保護層 46 或停止層 52。



五、發明說明 (6)

介電層 48係由氧化層、氟矽玻璃 (fluorinated silicate glass, FSG)層或其他化學氣相沉積 (chemical vapor deposition, CVD)介電層所構成，其沉積厚度約介於 300至 1000埃 (angstrom, Å)之間。至於介電層 50之厚度則約為數千埃，其係利用旋轉塗佈 (spin-on-coating)之低介電常數材料所構成，包含 FLARE™、SiLK™、亞芳香基醚類聚合物 (poly(arylene ether) polymer)、parylene類化合物、聚醯亞胺 (polyimide)系高分子、氟化聚醯亞胺 (fluorinated polyimide)、HSQ、氟矽玻璃 (FSG)、二氧化矽、多孔矽玻璃 (nanoporous silica)或鐵氟龍等低介電常數材料均可以用來形成介電層 50。此外，為了降低介電層 48和介電層 50之總介電常數，在本發明之較佳實施例中亦可以省略設置在介電層 50中的停止層 52，而改以控制蝕刻時間來決定雙鑲嵌結構之上層溝槽之輪廓。

在形成上述之堆疊結構之後，仍然如圖五所示，接著再於介電層 50表面依序形成一硬罩幕層 54以及一硬罩幕層 56，以形成一雙層硬罩幕 (dual hard mask)。其中硬罩幕層 54係由氮氧化矽、氮化矽或碳化矽 (silicon carbide)所構成，而硬罩幕層 56則係由與介電層 48相同之材料所構成。隨後進行一第一黃光製程，以於硬罩幕層 56上方形成一光阻層 58，並於光阻層 58中形成一通達至硬罩幕層 56表面之開口 59，用來定義雙鑲嵌結構之上

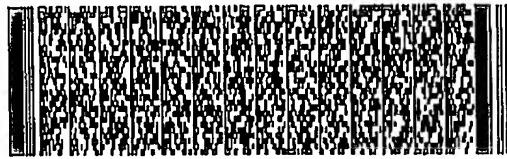


五、發明說明 (7)

層溝槽的圖案。

之後如圖六所示，進行第一蝕刻製程，依照光阻層 58之圖案沿著開口 59向下蝕刻，以使上層溝槽之圖案轉移至硬罩幕層 56中，並於硬罩幕層 56中形成一開口 60。在去除光阻層 58之後，接著進行第二黃光製程，於半導體基底 40表面形成另一光阻層 62，並於光阻層 62中形成一通達至硬罩幕層 54表面之開口 63，用來定義雙鑲嵌結構之下層接觸洞的圖案。

如圖七所示，接著進行第二蝕刻製程，依照光阻層 62之圖案沿著開口 63向下蝕刻硬罩幕層 54以及介電層 50，直至介電層 48表面，以形成一貫穿硬罩幕層 54以及介電層 50之開口 64。去除光阻層 62後，如圖八所示，接著再進行第三蝕刻製程，先利用硬罩幕層 56作為蝕刻罩幕，去除硬罩幕層 54直至介電層 50表面，以將上層蝕刻溝槽之圖案轉移至硬罩幕層 54中，然後再繼續向下蝕刻未被硬罩幕層 54覆蓋之介電層 50至介電層 50內之一預定深度。其中，該預定深度係小於介電層 50之沉積厚度，例如以停止層 52作為一蝕刻終點，以於介電層 50中形成上層溝槽 66。在去除介電層 50之後，接著再調整蝕刻體之選擇比，沿著開口 64向下去除未被硬罩幕層 54覆蓋之介電層 48，直至保護層 46表面，以形成一下層接觸洞 68，如圖九所示。

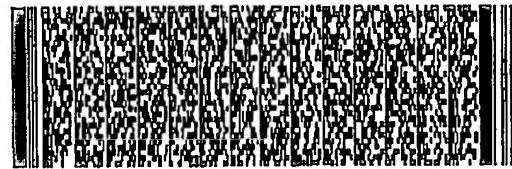
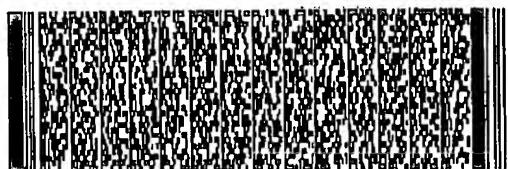


五、發明說明 (8)

在本發明之較佳實施例中，由於硬罩幕層 56係由與介電層 48相同材質之材料所構成，且硬罩幕層 56之厚度係小於介電層 48，因此在去除介電層 48並形成下層接觸洞 68時，硬罩幕層 56亦會於上述之蝕刻製程中被完全去除，以避免雙層硬罩幕之上層硬罩幕清除不完全所導致的問題。

如圖十所示，隨後去除下層接觸洞 68底部之保護層 46，暴露出導電層 44的表面，以及去除未被硬罩幕層 54 覆蓋之停止層 52，使上層溝槽 66內之介電層 50表面被暴露出來。然後再依序於半導體基底 40表面形成一由鉑金屬化合物或鉭金屬化合物所構成的障礙層 70以及一銅金屬所構成的導電層 72，且導電層 72填滿雙鑲嵌結構之上層溝槽 66以及下層接觸洞 68。最後利用硬罩幕層 54當作停止層，進行一化學機械研磨製程去除部份之導電層 72以及障礙層 70，使殘留於雙鑲嵌結構內之導電層 72以及障礙層 70之表面約略切齊於硬罩幕層 54表面，完成本發明之雙鑲嵌導線的製作。

在本發明之較佳實施例中，第三蝕刻製程係包含三階段的蝕刻步驟：(1)去除部份之硬罩幕層 54，將上層溝槽之圖案轉移至硬罩幕層 54中；(2)依照硬罩幕層 54之圖案去除部份之介電層 50至停止層 52表面，以於介電層 50



五、發明說明 (9)

中形成一上層溝槽 66；(3)同時去除部份之介電層 48並且完全去除硬罩幕層 56，以形成貫穿停止層 52、停止層 52下方之介電層 50以及介電層 48之下層接觸洞 68。在上述之第三蝕刻製程中，步驟(2)與步驟(3)之順序亦可以交替，亦即先形成下層接觸洞 68再形成上層溝槽 66，因此本發明可同時適用於先形成溝槽 (trench first)之雙鑲嵌製程以及先形成接觸洞 (via first)之雙鑲嵌製程。

相較於習知之製作雙鑲嵌結構的方法，本發明之下層接觸洞 68係貫穿一由介電層 50、停止層 52以及介電層 48所構成的多層結構，而且其中環繞於下層接觸洞 68底部周圍之介電層 48是由化學氣相沉積介電層所構成，可以提供良好的支撐力，因此可以有效避免習知環繞在雙鑲嵌結構周圍之介電層產生脆裂的情形，以抑止漏電流等問題。此外，由於本發明之有機低介電常數材料介電層 50的厚度比習知之有機低介電常數材料介電層 18和 22減少許多，因此本發明在利用黃光製程定義雙鑲嵌結構之圖案時，便可以減少光阻層的厚度，以避免光阻層底部曝光不足產生光阻殘留，而影響雙鑲嵌結構之電性表現。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



圖式簡單說明

圖式之簡單說明

圖一至圖四為習知製作一雙鑲嵌結構的方法示意圖。

圖五至圖十為本發明之製作一雙鑲嵌結構的方法示意圖。

圖式之符號說明

10	半導體基底		
12、18、22	介電層	14	導電層
16	保護層	20	停止層
24	硬罩幕層	26、30	光阻層
27、28、31	開口	32	下層接觸洞
34	上層溝槽	40	半導體基底
42、48、50	介電層	44、72	導電層
46	保護層	52	停止層
54、56	硬罩幕層	58、62	光阻層
59、60、63、64	開口	66	上層溝槽
68	下層接觸洞	70	障礙層



六、申請專利範圍

1. 一種製作雙鑲嵌 (dual damascene)結構的方法，該方法包含有下列步驟：

提供一半導體晶片，且該半導體晶片包含有一基底 (substrate) 以及一導電層設於該基底上；

於該半導體晶片表面依序形成一第一介電層、一第二介電層、一第一硬罩幕 (hard mask) 層以及一第二硬罩幕層，並覆蓋於該導電層之上；

進行一第一黃光 (lithography) 製程，於該第二硬罩幕層表面形成一第一光阻 (photoresist) 層，以定義該雙鑲嵌結構之一上層溝槽的圖案；

進行一第一蝕刻 (etch) 製程，沿著該第一光阻層之圖案去除未被該第一光阻層覆蓋之該第二硬罩幕層，直至該第一硬罩幕層表面；

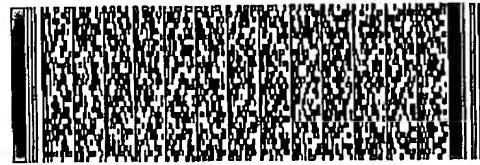
去除該第一光阻層；

進行一第二黃光製程，於該半導體晶片表面形成一第二光阻層，以定義該雙鑲嵌結構之下層接觸洞 (via hole) 的圖案；

進行一第二蝕刻製程，沿著該第二光阻層之圖案去除未被該第二光阻層覆蓋之該第一硬罩幕層以及該第二介電層，直至該第一介電層表面；

去除該第二光阻層；以及

進行一第三蝕刻製程，先去除未被該第二硬罩幕層所覆蓋之該第一硬罩幕層，然後去除未被該第一硬罩幕層所覆蓋之該第二介電層至一預定深度並去除該第二硬



六、申請專利範圍

罩幕層以及未被該第一硬罩幕層所覆蓋之該第一介電層，直至該導電層表面。

2. 如申請專利範圍第1項之方法，其中該導電層係一銅導線，且該導電層表面另包含有一保護層。

3. 如申請專利範圍第1項之方法，其中該第一介電層與該第二硬罩幕層係由同一材質之材料所構成。

4. 如申請專利範圍第1項之方法，其中該第一介電層係由一氟矽玻璃 (fluorinated silicate glass, FSG)所構成，而該第二介電層係由一低介電常數 (low-k)材料所構成。

5. 如申請專利範圍第4項之方法，其中該低介電常數材料包含有 FLARE™、SiLK™、亞芳香基醚類聚合物 (poly(arylene ether) polymer)、parylene類化合物、聚醯亞胺 (polyimide)系高分子、氟化聚醯亞胺 (fluorinated polyimide)、HSQ、氟矽玻璃 (FSG)、二氧化矽、多孔矽玻璃 (nanoporous silica)或鐵氟龍。

6. 如申請專利範圍第1項之方法，其中該預定深度係小於該第二介電層的沉積厚度。



六、申請專利範圍

7. 如申請專利範圍第1項之方法，其中該第二介電層中另包含有一蝕刻停止層 (etch stop layer)，以使該第三蝕刻製程在蝕刻該第二介電層時，得以停止於該蝕刻停止層表面，形成該雙鑲嵌結構之該上層溝槽。

8. 如申請專利範圍第1項之方法，其中在完成該第三蝕刻製程之後，該方法包含有下列步驟：

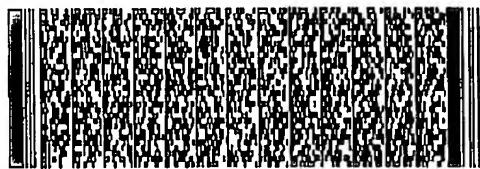
於該半導體晶片表面依序形成一障礙層 (barrier layer) 以及一金屬層，且該金屬層係填滿該雙鑲嵌結構；以及利用該第一硬罩幕層當作停止層 (stop layer) 來進行一化學機械研磨 (chemical mechanical polishing, CMP) 製程，以去除部份之該金屬層以及該障礙層，形成一雙鑲嵌導線。

9. 一種製作雙鑲嵌結構的方法，該方法包含有下列步驟：

提供一半導體晶片，且該半導體晶片包含有一基底以及一導電層設於該基底上；

於該半導體晶片表面依序形成一第一介電層、一第二介電層、一第一硬罩幕層以及一第二硬罩幕層，並覆蓋於該導電層之上；以及

進行一雙鑲嵌結構的蝕刻製程，以於該第二介電層中形成該雙鑲嵌結構之一上層溝槽並於該第一介電層中形成該雙鑲嵌結構之下層接觸洞；



六、申請專利範圍

其中該第二硬罩幕層會被完全去除於該蝕刻製程之中。

10. 如申請專利範圍第 9項之方法，其中該導電層係一銅導線，且該導電層表面另包含有一保護層。

11. 如申請專利範圍第 9項之方法，其中該第一介電層與該第二硬罩幕層係由同一材質之材料所構成。

12. 如申請專利範圍第 9項之方法，其中該蝕刻製程係為一先形成接觸洞 (via first)之雙鑲嵌製程。

13. 如申請專利範圍第 9項之方法，其中該蝕刻製程係為一先形成溝槽 (trench first)之雙鑲嵌製程。

14. 如申請專利範圍第 9項之方法，其中該蝕刻製程係包含有下列步驟：

進行一第一黃光製程，於該第二硬罩幕層表面形成一第一光阻層，以定義該雙鑲嵌結構之一上層溝槽的圖案；
 進行一第一蝕刻製程，沿著該第一光阻層之圖案去除未被該第一光阻層覆蓋之該第二硬罩幕層，直至該第一硬罩幕層表面；

去除該第一光阻層；

進行一第二黃光製程，於該半導體晶片表面形成一第二



六、申請專利範圍

光阻層，以定義該雙鑲嵌結構之一下層接觸洞的圖案；進行一第二蝕刻製程，沿著該第二光阻層之圖案去除未被該第二光阻層覆蓋之該第一硬罩幕層以及該第二介電層，直至該第一介電層表面；

去除該第二光阻層；以及

進行一第三蝕刻製程，先去除未被該第二硬罩幕層所覆蓋之該第一硬罩幕層，然後去除未被該第一硬罩幕層所覆蓋之該第二介電層至一預定深度並去除該第二硬罩幕層以及未被該第一硬罩幕層所覆蓋之該第一介電層，直至該導電層表面。

15. 如申請專利範圍第14項之方法，其中該預定深度係小於該第二介電層的沉積厚度。

16. 如申請專利範圍第14項之方法，其中該第二介電層中另包含有一蝕刻停止層(etch stop layer)，以使該第三蝕刻製程在蝕刻該第二介電層時，得以停止於該蝕刻停止層表面，形成該雙鑲嵌結構之該上層溝槽。

17. 如申請專利範圍第9項之方法，其中該第一介電層係由一氟矽玻璃(FSG)所構成，而該第二介電層係由一低介電常數材料所構成。

18. 如申請專利範圍第17項之方法，其中該低介電常數

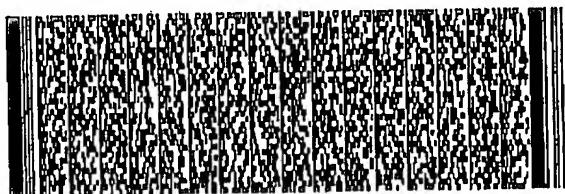


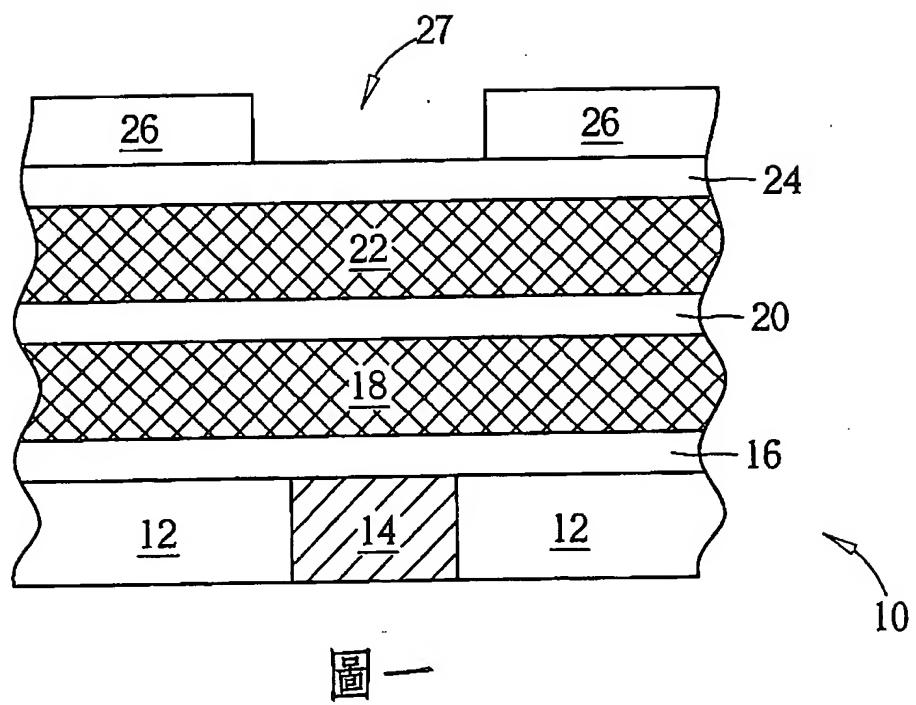
六、申請專利範圍

材料包含有 FLARE™、SILK™、亞芳香基醚類聚合物 (poly(arylene ether) polymer)、parylene類化合物、聚醯亞胺 (polyimide) 系高分子、氟化聚醯亞胺 (fluorinated polyimide)、HSQ、氟矽玻璃 (FSG)、二氧化矽、多孔矽玻璃 (nanoporous silica) 或鐵氟龍。

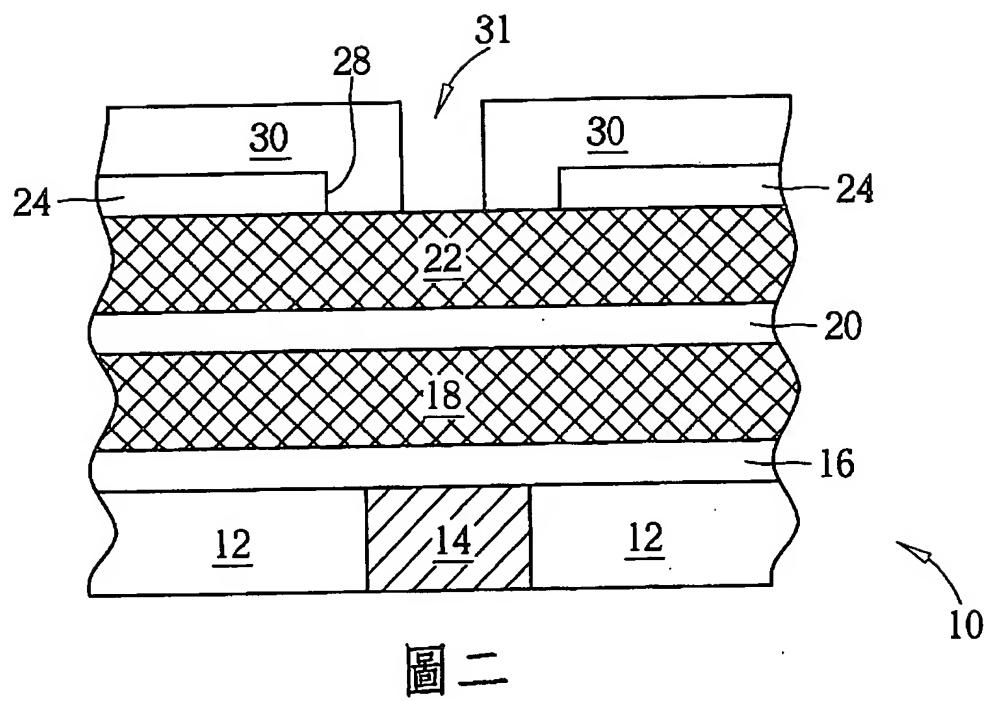
19. 如申請專利範圍第 9 項之方法，其中在完成該蝕刻製程之後，該方法包含有下列步驟：

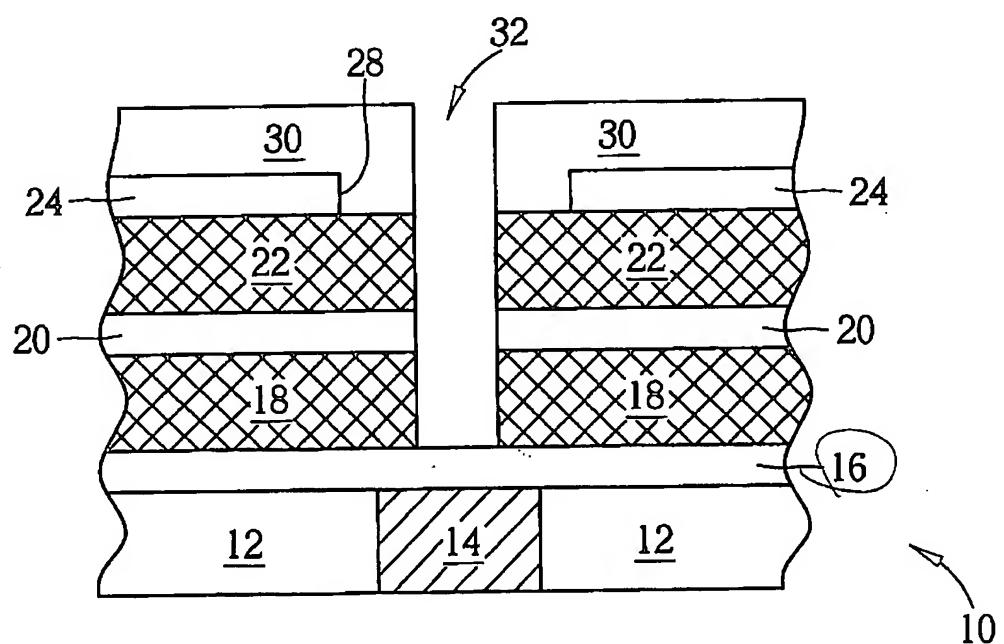
於該半導體晶片表面依序形成一障礙層以及一金屬層，且該金屬層係填滿該雙鑲嵌結構；以及利用該第一硬罩幕層當作停止層來進行一化學機械研磨 (CMP) 製程，以去除部份之該金屬層以及該障礙層，形成一雙鑲嵌導線。



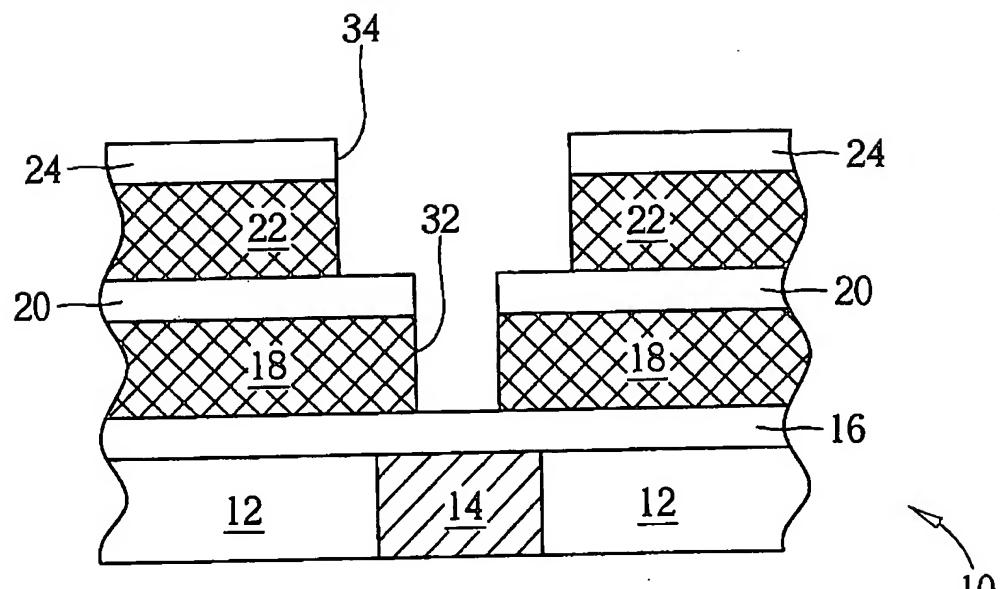


圖一

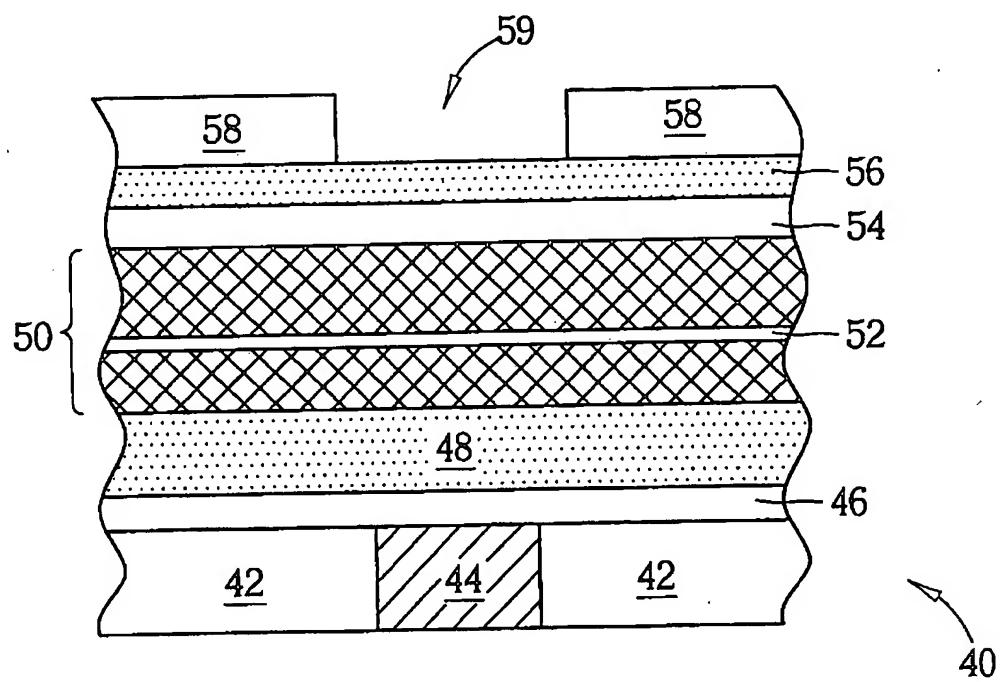




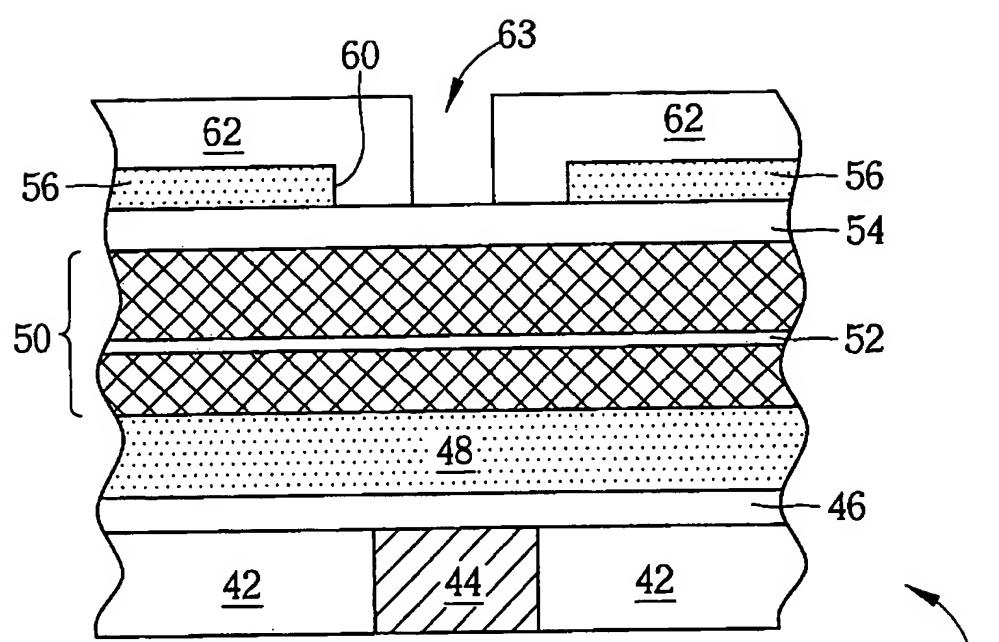
圖三



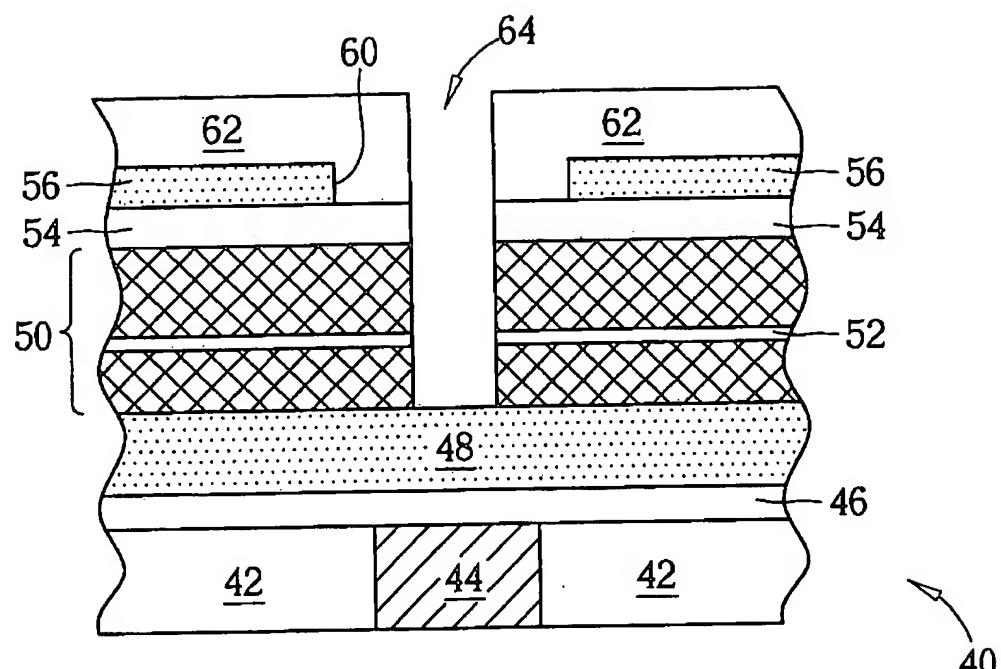
圖四



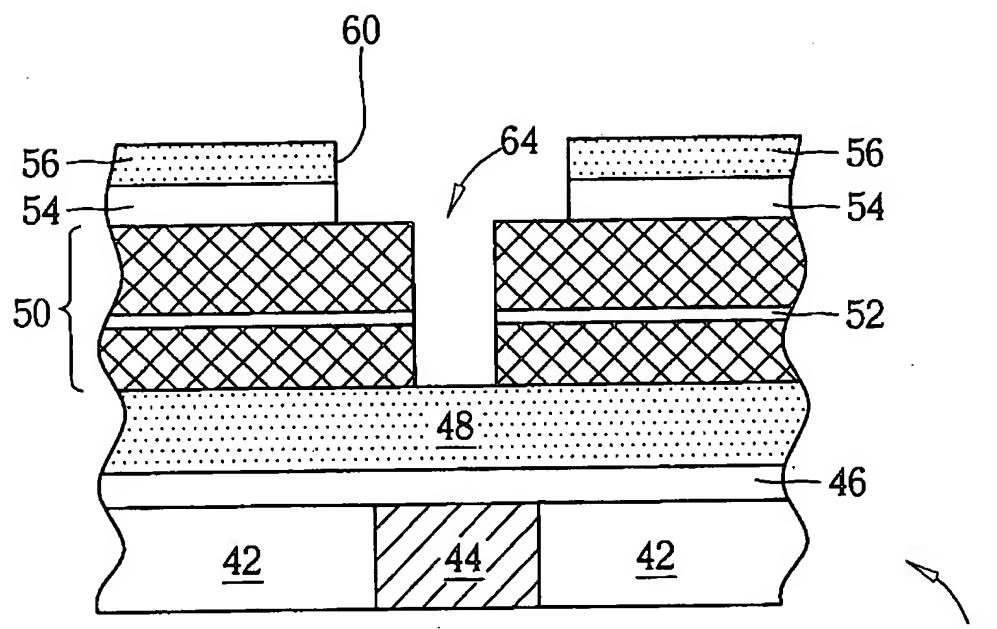
圖五



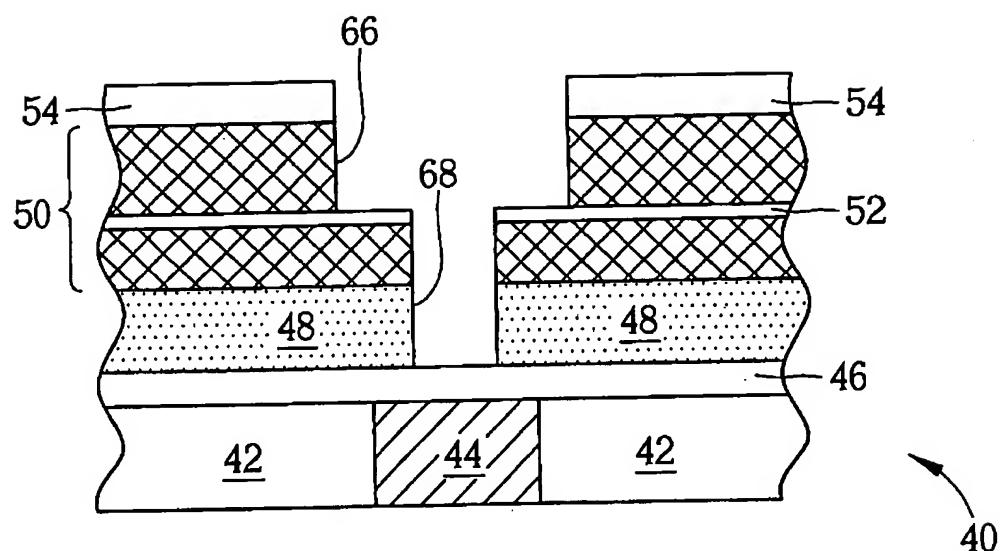
圖六



圖七



圖八



圖九

This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.